

KOREAN PATENT ABSTRACTS

(11) Publication number: 1020010040219 A
 (43) Date of publication of application: 15.05.2001

(21) Application number: 1020000063772
 (22) Date of filing: 28.10.2000
 (30) Priority: 28.10.1999 JP1999 306419

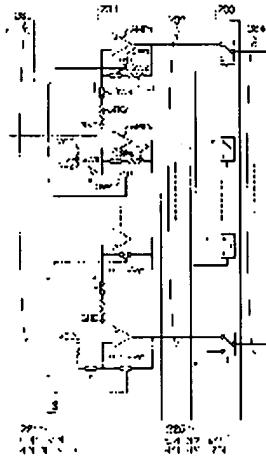
(71) Applicant: HITACHI, LTD.
 (72) Inventor: KAWABE KAZUYOSHI
 KOSHI HIROBUMI
 NITTA HIROYUKI
 TSUNEKAWA SATORU

(51) Int. Cl G09G 3/36

(54) LIQUID CRYSTAL DRIVING CIRCUIT AND LIQUID CRYSTAL DISPLAY DEVICE

(57) Abstract:

PURPOSE: To realize a high quality image by speeding up a write time correspondingly to high definition and upsizing of the liquid crystal panel. **CONSTITUTION:** An output amplifier circuit of a liquid crystal driver is provided with a means for changing over an amplifier circuit for amplifying a prescribed gradation voltage to output it, to/from an amplifier circuit for buffering the prescribed gradation voltage one-fold to output it, and a liquid crystal panel is driven by the amplifier output for a certain period of the horizontal period, and driven by the buffer output for the other period. Moreover, the driving circuit is provided with a pre-charge control circuit for judging whether or not the gradation voltage is amplified and outputted depending on a display data.



copyright KIPO & JPO 2002

Legal Status

Date of request for an examination (20001028)

Notification date of refusal decision (00000000)

Final disposal of an application (registration)

Date of final disposal of an application (20030129)

Patent registration number (1003781010000)

Date of registration (20030317)

Number of opposition against the grant of a patent ()

Date of opposition against the grant of a patent (00000000)

Number of trial against decision to refuse ()

Date of requesting trial against decision to refuse ()

Date of extinction of right ()

공개특허 제2001-40219호(2001.05.15.) 1부.

특2001-0040219

(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51) Int. Cl.⁷
G09G 3/36

(11) 공개번호 특2001-0040219
(43) 공개일자 2001년05월15일

(21) 출원번호	10-2000-0063772
(22) 출원일자	2000년10월28일
(30) 우선권주장	1999-306419 1999년10월28일 일본(JP)
(71) 출원인	가부시키가이사 히타치세이사쿠쇼 가나이 쓰토무 일본 도쿄도 치요다구 간다스루가다이 4조메 6반치 니파히로유끼
(72) 발명자	일본도쿄도지요다꾸마루노우찌1조메5-1신마루노우찌빌딩가부시키가이사히타 치세이사쿠쇼지적소유권본부내 가와베가즈요시 일본도쿄도지요다꾸마루노우찌1조메5-1신마루노우찌빌딩가부시키가이사히타 치세이사쿠쇼지적소유권본부내 즈네카와사또루 일본도쿄도지요다꾸마루노우찌1조메5-1신마루노우찌빌딩가부시키가이사히타 치세이사쿠쇼지적소유권본부내 고시히로부미 일본도쿄도지요다꾸마루노우찌1조메5-1신마루노우찌빌딩가부시키가이사히타 치세이사쿠쇼지적소유권본부내
(74) 대리인	구영창, 장수길

심사항구 : 있음

(54) 액정 드라이버 회로 및 고속 데이터 기입 능력을 갖는 LCD

요약

액정 패널의 고정밀화, 대화면화에 대응하여, 기입 시간을 고속화하고, 고화질화를 실현하는 액정 표시 장치가 제공되는 액정 드라이버의 출력 증폭기 회로에 있어서, 소정의 계조 전압을 증폭하여 출력하는 증폭기 회로와 소정의 계조 전압을 1배로 버퍼링하여 출력하는 증폭기 회로로서 동작하는 증폭기 회로 구성과, 상기 2개의 증폭기를 전환하는 회로를 설치하고, 수평 기간의 일정 기간은 상기 증폭 출력, 다른 기간은 버퍼 출력으로 액정 패널을 구동시킨다. 또한, 표시 데이터에 의해 증폭시켜 출력하는 계조 전압을 판정하는 프리차지 제어 회로를 설치한다.

대표도

도1

색인어

액정 컨트롤러, 액정 드라이버, 견원 회로, 주사 회로, 래치 회로, 프리차지 제어 회로

영세서

도면의 간단한 설명

- 도 1은 본 발명을 적용한 출력 증폭기 회로의 불록도.
- 도 2는 액정 표시 장치의 일 실시예를 나타내는 불록도.
- 도 3은 본 발명을 적용한 출력 증폭기 회로의 불록도.
- 도 4는 액정 표시 장치의 일 실시예의 불록도.
- 도 5는 본 발명을 적용한 출력 증폭기 회로의 불록도.
- 도 6은 본 발명을 적용한 출력 증폭기 회로의 불록도.
- 도 7은 액정 표시 장치의 일 실시예를 나타내는 불록도.

도 8은 본 발명을 적용한 출력 증폭기 회로의 블록도.

도 9는 구동 파형을 도시한 도면.

도 10은 구동 파형을 도시한 도면.

도 11은 프리차지 조건을 나타내는 도면.

<도면의 주요 부분에 대한 부호의 설명>

202 : 액정 컨트롤러

203 : 액정 드라이버

204 : 전원 회로

205 : 주사 회로

222 : 래치 회로

226, 233 : 선택 회로

228, 229 : DAC 회로

231 : 출력 증폭기 회로

735 : 프리차지 제어 회로

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은, 액정 디스플레이를 표시하는 액정 구동 회로에 관한 것으로, 특히 고속으로 액정 패널에 구동 전압을 인가하는 액정 드라이버 회로에 속한다.

종래의 액정 표시 장치는, 1996년 SID DIGEST(p247-250) 「An 8-bit Digital Data Driver for Color TFT-LCDs」에 기재되어 있듯이, 데이터 구동 회로(액정 드라이버)는 DAC 회로에서 생성한 표시 데이터에 대응하는 액정 인가 전압을 출력 증폭기 회로에서 버퍼링하여 출력하였다. 출력 증폭기 회로는 전압 풀로워 회로로 구성하고, DAC 회로의 계조(gray-scale) 전압을 그대로 액정 패널의 화소에 기입함으로써 표시를 행하고 있었다.

발명이 이루고자 하는 기술적 과제

종래의 구동 방식에서는, 액정 패널이 고정밀화, 대화면화함으로써 충전 시간(수평 기간)의 단축, 액정 패널 부하의 증대에 대응하여, 액정 패널을 고속으로 기입을 행하는 점에 대해서는, 고려되지 않았다. 즉, 액정 패널의 해상도의 고정밀화, 화면 사이즈의 대형화에 대응하지 않았다. 현재의 액정 패널의 해상도의 규격은 XGA(1024×768도트), SXGA(1280×1024도트)가 주류가 되어 있지만, 금후 UXGA(1600×1200도트), QXGA(2048×1536도트), QSXGA(2560×2048도트)라고 하는 고정밀화가 진행된다고 예측되고 있다. 또한, 패널 사이즈는, 현재의 13인치, 15인치 사이즈로부터 18인치, 20인치로 대화면화도 진행된다고 예측되고 있다.

이 때문에, 액정 패널의 기입 시간인 수평 기간은, 해상도 XGA에서는 약 14μs, SXGA에서는 약 11μs 하지만, UXGA에서는 약 9μs, QXGA에서는 약 7μs, QSXGA에서는 약 5μs로 해상도가 오름에 따라 짧아진다. 또한, 액정 패널의 부하도 화면 15인치 사이즈에 비교하여, 18인치에서는 약 1.2배, 20인치에서는 약 1.33배로 증가한다.

따라서, 종래의 구동 회로에서는, 이러한 짧은 충전 시간에 고부하의 액정 패널을 기입하는 것이 곤란하여, 기입 전압이 불충분하기 때문에 화질의 열화가 생긴다.

본 발명의 목적은, 부하 용량, 부하 저항이 큰 액정 패널에 대해, 고속으로 기입을 실현하고, 고정밀, 대화면의 액정 디스플레이의 고화질 표시를 실현하는 액정 구동 회로 및 액정 표시 장치를 제공하는 것이다.

상기 문제를 해결하기 위해, 액정 드라이버의 출력 증폭기 회로에 있어서, 소정의 계조 전압을 증폭시켜 출력하는 증폭기 회로를 소정의 계조 전압을 1배로 버퍼링하여 출력하는 증폭기 회로로 전환하는 수단을 설치하고, 수평 기간 중 일정 기간에는 상기 증폭 출력, 다른 기간은 버퍼 출력으로 액정 패널을 구동시킨다.

또한, 표시 데이터에 기초하여 증폭시켜 출력하는 계조 전압을 판정하는 프리차지 제어 회로를 설치한다.

발명의 구성 및 작용

이어서, 액정 디스플레이의 도트 반전 구동의 실시예를 도 1, 도 2, 도 9, 도 10을 이용하여 설명한다.

도 1은 액정 구동 회로 내의 출력 회로의 구성도, 도 2는 액정 구동 회로의 구성도를 나타낸다. 도면 중 첨조번호(201)는 시스템 정치로부터 전승되어 온 표시 신호군, 첨조 번호(202)는 표시 신호군(201)을 액정 드라이버의 동기 신호, 표시 데이터로 변환하는 액정 컨트롤러, 첨조 번호(203)는 액정 패널에 표시 데이터에 대응하는 구동 전압을 인가하는 액정 드라이버, 첨조 번호(204)는 액정 패널의 계조 전압, 기준 전압

을 생성하는 전원 회로, 참조 번호(205)는 액정 패널의 선순차 선택을 행하는 주시 회로, 참조 번호(206)는 맷터브 매트릭스 액정 패널을 나타낸다. 참조 번호(207)는 액정 드라이버용으로 변환된 표시 데이터, 참조 번호(208)는 표시 데이터(207)에 동기화 데이터 전송 클록, 참조 번호(209)는 수평 기간을 나타내는 수평 동기 신호, 참조 번호(210)는 액정 구동의 교류 타이밍을 나타내는 교류 신호, 참조 번호(211)는 액정 구동 전입의 교류 극성이 정극성의 계조 기준 전입, 참조 번호(212)는 액정 구동 전입의 교류 극성이 부극성의 계조 기준 전입, 참조 번호(213)는 액정 패널의 공동 전극의 기준 전입인 공동 전극 전입 Vcom, 참조 번호(214)는 주시 회로가 출력하는 주시 구동 전입의 주시 기준 전입, 참조 번호(215)는 프레임의 주기를 나타내는 프레임 동기 신호, 참조 번호(216)는 주사 수평 주기의 타이밍을 나타내는 주사 수평 동기 신호이다. 여기서 교류 극성이란 액정 회소에 인가하는 정극성 전압 또는 부극성 전압의 극성이 리고 정의된다. 또한, 참조 번호(217)는 액정 드라이버(203) 내부의 표시 데이터를 순차 수취하는 시프트 레지스터 회로, 참조 번호(218)는 시프트 레지스터로부터 출력되는 표시되는 표시 데이터 버스, 참조 번호(219)는 수평 동기 신호(209)로부터 액정 드라이버 내부의 타이밍 신호를 생성하는 제어 회로, 참조 번호(220)는 래치 회로(222)에 동시에 표시 데이터 버스(218)의 표시 데이터를 래치하는 수평 래치 신호, 참조 번호(221)는 출력 증폭기 회로(231)의 브리치지 기간을 나타내는 브리치지 타이밍 신호, 참조 번호(223)는 래치 회로(222)의 출력 데이터, 참조 번호(224)는 교류 신호(210)로부터 선택 신호(225)를 생성하는 제어 회로, 참조 번호(226)는 인접하는 회소에 대응하는 출력 단자의 표시 데이터를 선택하는 선택 회로, 참조 번호(227)는 선택 데이터, 참조 번호(228)는 선택 데이터(227)에 대응하는 정극성 계조 전압을 생성하는 DAC 회로, 참조 번호(229)는 선택 데이터(227)에 대응하는 부극성 계조 전압을 생성하는 DAC 회로, 참조 번호(230)는 DAC 회로(228, 229)에서 생성한 계조 전압, 참조 번호(231)는 출력 증폭기 회로, 참조 번호(232)는 계조 전압, 참조 번호(233)는 인접하는 출력 단자에 대응하는 계조 전압을 선택하는 선택 회로, 참조 번호(234)는 액정 인가 전압을 나타낸다.

도 1은 출력 증폭기 회로(231)의 상세한 회로 구성을 나타내고, 상의 증폭기 회로 AMP1 및 AMP2를 선택 회로(233)에서 선택하여 출력한다. 각 증폭기는 도시된 바와 같이 3개의 스위치 SW1, SW2, SW3을 전환함으로써 증폭 기능과 전입 풀로워 기능을 하도록 전환할 수 있다.

도 9는 정극성 계조 전압을 기입하는 경우의 1수평 기간의 구동 파형을 나타내고, 도 10은 부극성 계조 전압을 기입하는 경우의 1수평 기간의 구동 파형을 나타낸다. 도 9에 도시된 바와 같이, 브리치지 타이밍 신호(221)에 따라, 브리치지 기간 Tp와 계조 전압 기입 기간 Tg를 전환하고, 브리치지 기간 Tp에서는 저항 RL1과 RG1로 결정되는 계조 전압보다도 높은 전압(Vout)을 향해 기입을 행하기 때문에, 계조 전압(Vin)에 대해 고속으로 기입 동작을 행하고, 계조 전압 기입 기간 Tg에서는 소정의 계조 전압(Vin)을 기입하고, 표시 데이터에 대응하는 액정 인가 전압을 고속으로 기입할 수 있다. 또한, 브리치지 기간 Tp의 최적치는 액정의 부하에 의해 결정된다. 또, 도 10에 도시된 바와 같이, 브리치지 타이밍 신호(221)에 따라, 브리치지 기간과 계조 전압 기입 기간을 전환하고, 브리치지 기간에서는 저항 RL2와 RV2로 결정되는 계조 전압보다도 낮은 전압(Yout)을 향해 기입을 행하기 때문에, 계조 전압(Vin)에 대해 고속으로 기입 동작을 행하고, 계조 전압 기입 기간에서는 소정의 계조 전압(Vin)을 기입하고, 표시 데이터에 대응하는 액정 인가 전압을 고속으로 기입할 수 있다. 이하, 도 9 및 도 10에 도시된 구동 파형은 상기 작용을 설명하기 위해 이용한다. 따라서, 나중에도 9 및 10을 참조할 때에는 중복 기재를 피하기 위해 상기된 바와 동일한 상세한 설명은 생략한다.

이어서, 액정 패널 구동 동작을 설명한다. 도 2에서 퍼스널 컴퓨터 등의 시스템 장치(도면에 기재하지 않음)로부터 이승되어 온 표시 신호군(201)은, 액정 컨트롤러(202)에서 액정 회로용의 타이밍 신호, 제어 신호를 생성한다. 표시 데이터(207)는 데이터 전송 클록(208)에 동기하여 액정 드라이버(203)에 RGB2 회소 단위로 직렬로 전송된다. 액정 드라이버(203)의 출력 계수를 256 계조로 하면 RGB 각 8비트 × 2회소로 총 48 비트의 표시 데이터를 순차 전송한다. 액정 드라이버(203)에서는, 표시 데이터(207)를 데이터 전송 클록(208)으로 의해 순차 취득하고, 1라인분의 표시 데이터를 수신한다. 그리고, 1 라인분의 데이터를 수신하면, 수평 래치 신호(220)에 의해 수평 주기로 래치 회로(222)에 1 라인 동시에 표시 데이터를 래치한다. 선택 회로(226)에서는, 인접하는 출력에 대응하는 각 2회소의 표시 데이터를 교류의 타이밍에 맞춰 선택한다. DAC 회로(228)는 정극성의 계조 전압, DAC 회로(229)는 부극성의 계조 전압을 생성하기 위해, 인접하는 출력이 정극성이나 부극성에 의해, 선택 회로(226)에서 대응하는 표시 데이터를 선택한다. 출력 증폭기 회로(231)는 정극성 또는 부극성 중 한 극성의 전압을 출력하기 위해, 선택 회로(233)에서는 출력 단자에 대응하도록 계조 전압(232)을 선택한다. 이를 들면, X1 단자에 정극성, X2 단자에 부극성의 계조 전압을 출력하는 경우에는, 선택 회로(226)에 의해, X1 단자에 대응하는 표시 데이터를 DAC 회로(228), X2 단자에 대응하는 표시 데이터를 DAC 회로(229)에 대응하도록 선택한다. 그리고, DAC 회로(228, 229)에서는, 표시 데이터에 대응하는 계조 전압을 생성하고, 출력 증폭기 회로(231)에서 증폭시키고, 선택 회로(233)에서 X1 단자에 정극성의 계조 전압, X2 단자에는 부극성의 계조 전압을 선택하고, 액정 패널(206)의 데이터선을 구동시킨다. 반대로, X1 단자에 부극성, X2 단자에 정극성의 계조 전압을 출력하는 경우에는, 선택 회로(226)에 의해, X1 단자에 대응하는 표시 데이터를 DAC 회로(229), X2 단자에 대응하는 표시 데이터를 DAC 회로(228)에 대응하도록 선택한다. 그리고, DAC 회로(228, 229)에서는, 표시 데이터에 대응하는 계조 전압을 생성하고, 출력 증폭기 회로(231)에서 증폭시키고, 선택 회로(233)에서 X1 단자에 부극성의 계조 전압, X2 단자에는 정극성의 계조 전압을 선택하고, 액정 패널(206)의 데이터선을 구동시킨다. X3 단자 이후에도 마찬가지로 동작함으로써, 인접 단자의 극성이 반전하는 도트 빈전 구동 동작을 실현한다.

또한, 도 10에 도시된 바와 같이 SW1로부터 SW5를 브리치지 타이밍 신호(221)에 의해 전환함으로써 증폭 증폭기 회로와 전입 풀로워 회로를 전환하여 출력한다. 도 1에 있어서, AMP1은 정극성 계조 전압을 출력하는(전류를 증진함) 증폭기 회로이고, SW1을 오프, SW2를 온, SW3을 온으로 함으로써, AMP1의 출력은 계조 전압(230)을 (1+RL1/RG1)배로 증폭시킨 브리치지 전압을 출력한다. 반대로, SW1을 온, SW2를 오프, SW3을 오프로 함으로써, AMP1의 출력은 계조 전압(230)을 1배로 증폭시킨 전압 풀로워 회로가 되어 계조 전압을 그대로 출력한다. 도 9에 이 때의 구동 파형을 나타낸다. 또한, 마찬가지로 AMP2는 부극성 계조 전압을 출력하는(전류를 방전함) 증폭기 회로이고, SW4를 오프, SW5를 온, SW6를 온으로 함으로써, AMP2의 출력은 계조 전압(230)을 (1+RL2/RV2)Vin-(RL2/RV2)VCC로 증폭한 브리치지 전압을 출력한다. 반대로, SW4를 온, SW5를 오프, SW6를 오프로 함으로써, AMP2의 출력은 계조 전압(230)을 1배로 증폭시킨 전압 풀로워 회

로가 되어 계조 전압을 그대로 출력한다. 도 10에 이 때의 구동 파형을 나타낸다.

이와 같이, 소점의 기입 계조 전압에 대해, 정극성의 기록에서는 고전압, 부극성의 기록에서는 저전압을 프리치지 기간에 인가함으로써 액정 패널에 고속으로 기입 실현 가능하다. 또한, 증폭 회로에서 프리치지 전압을 인가하기 때문에 전원 부근의 계조 전압에 대해서도 고속 기입을 실현할 수 있다.

이어서, 도 2, 도 3, 도 9, 도 10을 이용하여 상기 실시예외의 실시예를 설명한다. 도 3에 도시된 출력 증폭기의 구성이 도 1에서 도시된 출력 증폭기의 구성과 다르다.

도 2의 정극성 DAC 회로(228), 부극성 DAC 회로(229)까지의 동작은 상술된 바와 같다. 도 3에 도시된 출력 증폭기(231)는, SW1로부터 SW5를 프리치지 타이밍 신호(221)에 의해 전환함으로써 증폭 증폭기 회로와 전압 풀로워 회로를 전환하여 출력한다. 도 3에 있어서, AMP1은 정극성 계조 전압을 출력하는 (전류를 충전함) 증폭기 회로이고, SW1을 오프, SW2를 온, SW3을 온으로 함으로써, SW2의 온 저항을 RONL1, SW3의 온 저항을 RONG1이라고 하면, AMP1의 출력은 계조 전압(230)을 (1+RONL1/RONG1)배로 증폭시킨 프리치지 전압을 출력한다. 반대로, SW1을 온, SW2를 오프, SW3을 오프로 함으로써, AMP1의 출력은 계조 전압(230)을 1배로 증폭시킨 전압 풀로워 회로가 되어 계조 전압을 그대로 출력한다. 도 9에 이 때의 구동 파형을 나타낸다. 또한, 미진기자로 AMP2는 부극성 계조 전압을 출력하는 (전류를 방전함) 증폭기 회로이고, SW4를 오프, SW5를 온, SW6을 온으로 함으로써, SW5의 온 저항을 RONL2, SW6의 온 저항을 RONG2라고 하면, AMP2의 출력은 계조 전압(230)을 (1+RONL2/RONG2)Vin-(RONL2/RONG2) VCC로 증폭시킨 프리치지 전압을 출력한다. 반대로, SW4를 온, SW5를 오프, SW6을 오프로 함으로써, AMP2의 출력은 계조 전압(230)을 1배로 증폭시킨 전압 풀로워 회로가 되어 계조 전압을 그대로 출력한다. 도 10에 이 때의 구동 파형을 나타낸다.

이와 같이, MOS 트랜지스터 회로를 이용하여 선택 스위치와 저항 소자의 양기능을 갖게 함으로써, 소점의 기입 계조 전압에 대해, 정극성의 기록에서는 고전압, 부극성의 기입에서는 저전압을 프리치지 기간에 인가함으로써 액정 패널에 고속으로 기입 실현 가능하다. 또한, 증폭 회로에서 프리치지 전압을 인가하기 때문에 전원 부근의 계조 전압에 대해서도 고속 기입을 실현할 수 있다.

이어서, 액정 디스플레이의 도트 반전 구동의 실시예를 도 4, 도 5, 도 9, 도 10을 이용하여 설명한다.

도 5는 액정 구동 회로 내의 출력 회로의 구성도이고, 참조 번호(401)는 시스템 장치로부터 전송되어 온 표시 신호군, 참조 번호(402)는 표시 신호군(401)을 액정 드라이버의 동기 신호, 표시 데이터로 변환하는 액정 컨트롤러, 참조 번호(403)는 액정 패널에 표시 데이터에 대응하는 구동 전압을 인가하는 액정 드라이버, 참조 번호(404)는 액정 패널의 계조 전압, 기준 전압을 생성하는 전원 회로, 참조 번호(405)는 액정 패널의 선 순차 선택을 행하는 주사 회로, 참조 번호(406)는 액티브 매트릭스 액정 패널이다. 참조 번호(407)는 액정 드라이버용으로 변환된 표시 데이터, 참조 번호(408)는 표시 데이터(407)에 동기화 데이터 전송 클럭, 참조 번호(409)는 수평 기간을 나타내는 수평 동기 신호, 참조 번호(410)는 액정 구동의 교류 타이밍을 나타내는 교류 신호, 참조 번호(411)는 액정 구동 전압의 교류 극성이 정극성의 계조 기준 전압, 참조 번호(412)는 액정 패널의 공통 전극의 기준 전압인 공통 전극 전압 Vcom, 참조 번호(414)는 주사 회로가 출력하는 주사 구동 전압의 주사 기준 전압, 참조 번호(415)는 프레임의 주기를 나타내는 프레임 동기 신호, 참조 번호(416)는 주사 수평 주기의 타이밍을 나타내는 주사 수평 동기 신호이다.

또한, 참조 번호(417)는 액정 드라이버(403)의 내부의 표시 데이터를 순차 수신하는 시프트 레지스터 회로, 참조 번호(418)는 시프트 레지스터로부터 출력되는 표시 데이터 버스, 참조 번호(419)는 수평 동기 신호(409)로부터 액정 드라이버 내부의 타이밍 신호를 생성하는 제어 회로, 참조 번호(420)는 래치 회로(422)에 동시에 표시 데이터 버스(418)의 표시 데이터를 래치하는 수평 래치 신호, 참조 번호(421)는 출력 증폭기 회로(433)의 프리치지 기간을 나타내는 프리치지 타이밍 신호, 참조 번호(423)는 래치 회로(422)의 출력 데이터, 참조 번호(424)는 교류 신호(410)로부터 선택 신호(425)를 생성하는 제어 회로, 참조 번호(426)는 인접하는 화소에 대응하는 출력 단자의 표시 데이터를 선택하는 선택 회로, 참조 번호(427)는 선택 데이터, 참조 번호(428)는 선택 데이터(427)에 대응하는 정극성 계조 전압을 생성하는 DAC 회로, 참조 번호(429)는 선택 데이터(427)에 대응하는 부극성 계조 전압을 생성하는 DAC 회로, 참조 번호(430)는 DAC 회로(428, 429)에서 생성한 계조 전압, 참조 번호(431)는 인접하는 출력 단자에 대응하는 계조 전압을 선택하는 선택 회로, 참조 번호(432)는 선택 회로(433)에서 선택한 계조 전압, 참조 번호(433)는 출력 증폭기 회로, 참조 번호(434)는 액정 인가 전압을 나타낸다.

도 5는 출력 증폭기 회로(431)의 상세한 회로 구성을 나타내고, 도 1 실시예의 쌍증폭기 구성과 달리, 1 출력 당 하나의 증폭기 회로에서 출력한다. 예를 들면 AMP1에서는, 3개의 스위치 SW1, SW2, SW3을 전환함으로써 증폭 기능과 전압 풀로워 기능을 다하도록 전환할 수 있다.

이어서, 액정 패널 구동 동작을 설명한다. 도 4에 있어서, 퍼스널 컴퓨터 등의 시스템 장치(도면에 기재하지 않음)로부터 이송되어오는 표시 신호군(401)은, 액정 컨트롤러(402)에서 액정 구동 회로용의 타이밍 신호, 제어 신호를 생성한다. 표시 데이터(407)는 데이터 전송 클럭(408)에 동기화하여 액정 드라이버(403)에 RGB2 회로 단위로 직렬로 전송된다. 액정 드라이버(403)의 출력 계조수 256 계조로 하면, RGB 각 8 비트×2 화소로 합계 48 비트의 표시 데이터를 순차 전송한다. 액정 드라이버(403)에서는, 표시 데이터(407)를 데이터 전송 클럭(408)으로 순차 수취하고, 1 라인분의 표시 데이터를 수신한다. 그리고, 1 라인분의 데이터를 수신하면, 수평 래치 신호(420)에 의해 수평 주기로 래치 회로(422)에서 1라인 동시에 표시 데이터를 래치한다. 선택 회로(426)에서는, 인접하는 출력에 대응하는 각 2화소의 표시 데이터를 교류하는 타이밍에 맞춰 선택한다. DAC 회로(428)는 정극성의 계조 전압, DAC 회로(429)는 부극성의 계조 전압을 생성하기 때문에, 인접하는 출력이 정극성인지 부극성인지에 따라, 선택 회로(426)에서 대응하는 표시 데이터를 선택한다. 출력 증폭기 회로(433)는 정극성 또는 부극성 중 어떤 전압도 출력할 수 있기 때문에, 선택 회로(431)에서는 출력 단자에 대응하도록 계조 전압(430)을 선택한다. 예를 들면, X1 단자에 정극성, X2 단자에 부극성의 계조 전압을 출력하는 경우에는, 선택 회로(426)에 의해, X1 단자에 대응하는 표시 데이터를 DAC 회로(428), X2 단자에 대응하는 표시 데이터를 DAC 회로(429)에 대응하도록 선택

한다. 그리고, DAC 회로(428, 429)에서는, 표시 데이터에 대응하는 계조 전압을 생성하고, 선택 회로(431)에서 X1 단자에 정극성의 계조 전압, X2 단자에는 부극성의 계조 전압을 선택하고, 출력 증폭기 회로(433)에서 증폭시키고, 액정 패널(406)의 데이터선을 구동시킨다. 반대로, X1 단자에 부극성, X2 단자에 정극성의 계조 전압을 출력하는 경우에는, 선택 회로(426)에 의해, X1 단자에 대응하는 표시 데이터를 DAC 회로(429), X2 단자에 대응하는 표시 데이터를 DAC 회로(428)에 대응하도록 선택된다. 그리고, DAC 회로(428, 429)에서는, 표시 데이터에 대응하는 계조 전압을 생성하고, 선택 회로(431)에서 X1 단자로 부극성의 계조 전압, X2 단자에는 정극성의 계조 전압을 선택하고, 출력 증폭기 회로(433)에서 증폭시키고, 액정 패널(406)의 데이터선을 구동시킨다. X3 단자 이후에도 마찬가지로 동작함으로써, 인접 단자의 극성이 반전하는 도트 반전 구동을 실현한다. 또한, 도 10에 도시된 바와 같이 SW1로부터 SW8을 프리차지 타이밍 신호(421)에 의해 전환함으로써 증폭기 회로와 전압 풀로워 회로를 전환하여 출력한다. 도 5에서, AMP1은 정극성, 부극성의 양 계조 전압을 출력하는 (전류를 충방전함) 증폭기 회로이고, SW1을 오프, SW2를 온, SW3을 온, SW4를 오프로 함으로써, AMP1의 출력은 계조 전압(432)을 $(1+RL1/RV1)V_{in}-(RL2/RV2)VCC$ 로 증폭시킨다. 반대로, SW1을 온, SW2를 오프, SW3을 오프, SW4를 오프로 함으로써, AMP1의 출력은 계조 전압(432)을 1배로 증폭시킨 전압 풀로워 회로가 되어 계조 전압을 그대로 출력한다. 도 10에 이 때의 구동 파형을 도시한다. 또한, AMP2는 AMP1과 동일 구성으로 정극성 부극성의 양 계조 전압을 출력하는 (전류를 충방전함) 증폭기 회로이고, AMP1이 부극성 계조 전압을 출력할 때는, SW5를 오프, SW6을 온, SW7을 오프, SW8을 온으로 함으로써 정극성의 계조 전압을 출력한다. 이 때, AMP2의 출력은 계조 전압(432)을 $(1+RL2/RG2)V_{in}$ 으로 증폭시킨 프리차지 전압을 출력한다. 반대로, SW5를 온, SW6을 오프, SW7을 오프, SW8을 오프로 함으로써, AMP2의 출력은 계조 전압(432)을 1배로 증폭시킨 전압 풀로워 회로가 되어 계조 전압을 그대로 출력한다. 도 9에 이 때의 구동 파형을 도시한다.

이와 같이, 소정의 기입 계조 전압에 대해, 정극성의 기록으로는 고전압, 부극성의 기록으로는 저전압을 프리차지 기간에 인가함으로써 액정 패널에 고속으로 기입 실현 가능하다. 또한, 증폭 회로에서 프리차지 전압을 인가하기 위해 전원 부근의 계조 전압에 대해서도 고속 기입을 실현할 수 있다.

다음에 액정 표시 장치를 도 4, 도 6, 도 9, 도 10을 이용하여 설명한다.

도 6은 도 5에 도시된 출력 증폭기 회로의 다른 실시예를 나타낸다. 도 4의 정극성 DAC 회로(428), 부극성 DAC 회로(429)까지의 동작은 상술된 설명과 동일하다. 도 6에 도시된 바와 같이 SW1로부터 SW8을 프리차지 타이밍 신호(421)로 전환함으로써 증폭기 회로와 전압 풀로워 회로를 전환하여 출력한다. 도 6은 출력 증폭기 회로의 상세한 구성을 나타내고 있고, 도 6에서, AMP1은 정극성, 부극성의 양 계조 전압을 출력하는 (전류를 충방전함) 증폭기 회로이다. SW2의 온 저항을 RONL1, SW3의 온 저항을 RONV1이라고 하면, SW1을 오프, SW2를 온, SW3을 온, SW4를 오프로 함으로써, AMP1의 출력은 계조 전압(432)을 $(1+RONL2/RONV2)V_{in}-(RONL2/RONV2)VCC$ 로 증폭시킨 프리차지 전압을 출력한다. 반대로, SW1을 온, SW2를 오프, SW3을 오프, SW4를 오프로 함으로써, AMP1의 출력은 계조 전압(432)을 1배로 증폭시킨 전압 풀로워 회로가 되어 계조 전압을 그대로 출력한다. 도 10에 이 때의 구동 파형을 나타낸다. 또한, AMP2는 AMP1과 동일한 구성을 정극성, 부극성의 양 계조 전압을 출력하는 (전류를 충방전함) 증폭기 회로이다. AMP1이 부극성 계조 전압을 출력할 때는, SW5를 오프, SW6을 온, SW7을 오프, SW8을 온으로 함으로써, 정극성의 계조 전압을 출력한다. 이 때, SW5의 온 저항을 RONL2, SW8의 온 저항을 RONG2라고 하면, AMP2의 출력은 계조 전압(432)을 $(1+RONL1/RONG1)V_{in}$ 으로 증폭시킨 프리차지 전압을 출력한다. 반대로, SW5를 온, SW6을 오프, SW7을 오프, SW8을 오프로 함으로써, AMP2의 출력은 계조 전압(432)을 1배로 증폭시킨 전압 풀로워 회로가 되어 계조 전압을 그대로 출력한다. 도 9에 이 때의 구동 파형을 나타낸다.

이와 같이, MOS 트랜지스터 회로를 이용하여 선택 스위치와 저항 소자의 기능을 갖게 함으로써, 소정의 기입 계조 전압에 대해, 정극성의 기록에서는 고전압, 부극성의 기록에서는 저전압을 프리차지 기간에 인가함으로써 액정 패널에 고속으로 기입 실현 가능하다. 또한, 증폭 회로에서 프리차지 전압을 인가하기 때문에 전원 부근의 계조 전압에 대해서도 고속 기입을 실현할 수 있다.

이어서, 액정 디스플레이의 도트 반전 구동을 실현하는 실시예를 도 7, 도 8, 도 9, 도 10, 도 11을 이용하여 설명한다. 본 실시예는 삼기 실시예와 비교하여 계조 전압에 따라 프리차지 제어를 행하는지의 여부를 판정하는 제어를 행하는 점이 다르다. 도 8은 액정 구동 회로 내의 출력 회로의 구성도, 도 7은 액정 구동 회로의 구성도이다. 도 8에 있어서, 참조 번호(701)는 시스템 징지로부터 전송되어 온 표시 신호군, 참조 번호(702)는 표시 신호군(701)을 액정 드라이버의 동기 신호, 표시 데이터로 변환하는 액정 컨트롤러, 참조 번호(703)는 액정 패널에 표시 데이터에 대응하는 구동 전압을 인가하는 액정 드라이버, 참조 번호(704)는 액정 패널의 계조 전압, 기준 전압을 생성하는 전원 회로, 참조 번호(705)는 액정 패널의 선 순차 선택을 행하는 주사 회로, 참조 번호(706)는 액티브 매트릭스 액정 패널이다. 참조 번호(707)는 액정 드라이버 용으로 변환된 표시 데이터, 참조 번호(708)는 표시 데이터(707)에 동기화된 데이터 전송 클럭, 참조 번호(709)는 수평 기간을 나타내는 수평 동기 신호, 참조 번호(710)는 액정 구동의 교류 타이밍을 나타내는 교류 신호, 참조 번호(711)는 액정 구동 전압의 교류 신호가 정극성의 정극성 계조 기준 전압, 참조 번호(712)는 액정 구동 전압의 교류 극성이 부극성의 부극성 계조 기준 전압, 참조 번호(713)는 액정 패널의 공통 전극의 기준 전압인 공통 전극 전압 Vcom, 참조 번호(714)는 주사 회로가 출력하는 주사 구동 전압의 주사 기준 전압, 참조 번호(715)는 프레임의 주기를 나타내는 프레임 동기 신호, 참조 번호(716)는 주사 수평 주기의 타이밍을 나타내는 주사 수평 동기 신호이다. 또한, 참조 번호(717)는 액정 드라이버(703) 내부의 표시 데이터를 순차 수신하는 시프트 레지스터 회로, 참조 번호(718)는 시프트 레지스터로부터 출력되는 표시 데이터 버스, 참조 번호(719)는 수평 동기 신호(709)로부터 액정 드라이버 내부의 타이밍 신호를 생성하는 제어 회로, 참조 번호(720)는 래치 회로(722)에 동시에 표시 데이터 버스(718)의 표시 데이터를 래치하는 수평 래치 신호, 참조 번호(721)는 출력 증폭기 회로(733)의 프리차지 기간을 나타내는 프리차지 타이밍 신호, 참조 번호(723)는 래치 회로(722)의 출력 데이터, 참조 번호(724)는 교류 신호(710)로부터 선택 신호(725)를 생성하는 제어 회로, 참조 번호(735)는 프리차지 제어를 행하는 조건을 판정하는 프리차지 제어 회로, 참조 번호(736)는 프리차지 유효 신호, 참조 번호(726)는 인접하는 화소에 대응하는 출력 단자의 표시 데이터를 선택하는 선택 회로, 참조 번호(727)는 선택 데이터, 참조 번호(728)는 선택 데이터(727)에 대응하는 정극성 계조 전압을 생성하는 DAC 회로, 참조 번호(729)는 선택 데이터(727)에 대응하는 부극성 계조 전압을 생성하는 DAC 회로, 참조 번호(730)는 DAC 회로(728, 729)에서 생성한

개조 전압, 참조 번호(731)는 출력 증폭기 회로, 참조 번호(732)는 개조 전압, 참조 번호(733)는 인접하는 출력 단자에 대응하는 개조 전압을 선택하는 선택 회로, 참조 번호(734)는 액정 인가 전압이다.

도 8은 출력 증폭기 회로(731)의 상세한 회로 구성을 나타내는 도면으로, 2 출력을 포함하는 상 증폭기 회로를 선택 회로(733)에서 선택하여 출력한다. 도 8에 있어서, 출력 증폭기 회로는 3개의 스위치 SW1, SW2, SW3를 전환함으로써 증폭 기능과 전입 풀로워 기능을 다하도록 전환할 수 있다. 또한, 도 8의 회로는 프리차지 기간에 있어서의 오버슈트 발생을 방지하는 것을 의도하고 있다.

이어서, 본 실시예의 액정 패널 구동 동작을 설명한다. 도 7에 있어서, 퍼스널 컴퓨터 등의 시스템 장치 (도면에 기재하지 않음)로부터 이승되어오는 표시 신호군(701)은, 액정 컨트롤러(702)에서 액정 구동 회로 용의 타이밍 신호, 제어 신호를 생성한다. 표시 데이터(707)는 대이다 전송 블록(708)에 등기하여 액정 드라이버(703)에 RGB2 회소 단위로 직렬로 전송된다. 액정 드라이버(703)의 출력 계조수(256) 계조로 하면 RGB 각 8비트×2회소로 합계 48비트의 표시 데이터를 순차 전송한다. 액정 드라이버(703)에서는, 표시 데이터(707)를 데이터 전송 블록(708)에서 순차 수신하고, 1라인분의 표시 데이터를 수신한다. 그리고, 1라인분의 데이터를 수신하면, 수평 레치 신호(720)에 의해 수평 주기로 레치 회로(722)에서 1라인 동시에 표시 데이터를 래치한다. 프리차지 제어 회로(735)에서는 각 출력의 표시 데이터(723)로부터, 도 11에 도시된 개조 전압에 대응하여 프리차지를 행하는지 여부를 판정하고, 프리차지 유효 신호(736)를 생성한다.

예를 들면, 표시 데이터 8비트의 상위 2비트를 디코드하고, 계조1로부터 계조256까지의 256개조 중, 계조1로부터 계조64까지는 프리차지를 행하지 않고, 계조65부터 계조256까지는 프리차지를 행하도록 프리차지 유효 신호를 생성한다.

선택 회로(726)에서는, 인접하는 출력에 대응하는 각 2회소의 표시 데이터를 교류의 타이밍에 맞춰 선택한다. DAC 회로(728)는 정극성의 계조 전압, DAC 회로(729)는 부극성의 계조 전압을 생성하기 위해, 인접하는 출력이 정극성인지 부극성인지에 따라, 선택 회로(726)에서 대응하는 표시 데이터를 선택한다. 출력 증폭기 회로(731)는 정극성 또는 부극성 중 한 극성의 전압을 출력하기 위해, 선택 회로(733)에서는 출력 단자에 대응하도록 계조 전압(732)을 선택한다. 예를 들면, X1 단자에 정극성, X2 단자에 부극성의 계조 전압을 출력하는 경우에는, 선택 회로(726)에 의해, X1 단자에 대응하는 표시 데이터를 DAC 회로(728), X2 단자에 대응하는 표시 데이터를 DAC 회로(729)에 대응하도록 선택한다. 그리고, DAC 회로(728, 729)에서는, 표시 데이터에 대응하는 계조 전압을 생성하고, 출력 증폭기 회로(731)에서 증폭시키고, 선택 회로(733)에서 X1 단자에 정극성의 계조 전압, X2 단자에는 부극성의 계조 전압을 선택하고, 액정 패널(706)의 데이터선을 구동시킨다. 반대로, X1 단자에 부극성, X2 단자에 정극성의 계조 전압을 출력하는 경우에는, 선택 회로(726)에 의해, X1 단자에 대응하는 표시 데이터를 DAC 회로(729), X2 단자에 대응하는 표시 데이터를 DAC 회로(728)에 대응하도록 선택한다. 그리고, DAC 회로(728, 729)에서는, 표시 데이터에 대응하는 계조 전압을 생성하고, 출력 증폭기 회로(731)에서 증폭시키고, 선택 회로(733)에서 X1 단자에 부극성의 계조 전압, X2 단자에는 정극성의 계조 전압을 선택하고, 액정 패널(706)의 데이터선을 구동시킨다. X3 단자 이후도 마찬가지로 동작함으로써, 인접 단자의 극성이 반전하는 도트 반전 구동을 실현한다.

또한, 도 8에 도시된 바와 같이 SW1로부터 SW6을 프리차지 타이밍 신호(721)와 프리차지 유효 신호(736)에 의해 전환함으로써 증폭 증폭기 회로와 전입 풀로워 회로를 전환하여 출력한다. 도 8에 있어서, AMP1은 정극성 계조 전압을 출력하는 (전류를 충전함) 증폭기 회로이고, SW1을 오프, SW2를 온, SW3을 온으로 함으로써, AMP1의 출력은 계조 전압(730)을 (1+RL1/RGI)배로 증폭시킨 프리차지 전압을 출력한다. 반대로, SW1을 온, SW2를 오프, SW3을 오프로 함으로써, AMP1의 출력은 계조 전압(730)을 1배로 증폭시킨 전압 풀로워 회로가 되어 계조 전압을 그대로 출력한다. 도 9에 이 때의 구동 파형을 나타낸다. 또한, 마찬가지로 AMP2는 부극성 계조 전압을 출력하는(전류를 방전함) 증폭기 회로이고, SW4를 오프, SW5를 온, SW6를 온으로 함으로써, AMP2의 출력은 계조 전압(730)을 (1+RL2/RV2)Vin-(RL2/RV2) VCC로 증폭시킨 프리차지 전압을 출력한다. 반대로, SW4를 온, SW5를 오프, SW6를 오프로 함으로써, AMP2의 출력은 계조 전압(730)을 1배로 증폭시킨 전압 풀로워 회로가 되어 계조 전압을 그대로 출력한다. 도 10에 이 때의 구동 파형을 도시한다. 도 11에 도시된 바와 같이 계조 전압(표시 데이터)에 대응하여, 기입 전압의 전폭이 작은 계조 전압에 대해서는 프리차지 동작을 제한하는 것이 가능하다.

발명의 효과

본 발명에 따르면, 부하 용량, 부하 저항이 큰 액정 패널에 대하여, 고속 기입을 실현할 수 있기 때문에, 고정밀성, 대화면의 액정 디스플레이 표시가 실현가능하다.

(57) 청구의 범위

청구항 1

데이터선과 주사선과 매트릭스형으로 배열된 화소부를 포함하는 액정 패널(206)과, 전압을 인가하는 주사선을 선택하는 주사 회로(205)와, 표시 데이터에 대응하는 액정 인가 전압을 출력하는 데이터 구동 회로(203)를 구비하는 액정 표시 장치에 있어서,

상기 데이터 구동 회로는,

표시 데이터(201)에 대응하는 액정 인가 전압과, 교류 극성이 정극성인 경우에 상기 액정 인가 전압보다 높은 구동 전압을, 교류 극성이 부극성인 경우에 상기 액정 인가 전압보다 낮은 구동 전압을 출력하는 액정 표시 장치.

청구항 2

제1항에 있어서,

상기 데이터 구동 회로는, 교류 극성이 정극성인 경우에 상기 액정 인가 전압보다 높은 구동 전압과 표시

특2001-0040219

데이터에 대응하는 통상 액정 인가 전압을, 교류 극성이 부극성인 경우에 상기 액정 인가 전압보다 낮은 구동 전압과 표시 데이터에 대응하는 통상 액정 인가 전압을 각각 출력하는 조건으로서의 표시 데이터의 값에 기초하여 전환하는 액정 표시 장치.

청구항 3

제2항에 있어서,

상기 데이터 구동 회로는, 교류 극성이 점극성인 경우에 상기 액정 인가 전압보다 높은 구동 전압과 표시 데이터에 대응하는 액정 인가 전압을 출력하고, 교류 극성이 부극성인 경우에 상기 액정 인가 전압보다 낮은 구동 전압과 표시 데이터에 대응하는 액정 인가 전압을 출력하는 조건은, 표시 데이터에 대응하는 액정 인가 전압이 기준 전압과의 전위차가 일정치 이내인지의 여부에 따라 결정하고, 상기 전위차가 일정치 이내인 경우에는 상기 표시 데이터에 대응하는 액정 인가 전압을 출력하고, 일정치를 초과하는 경우에는 상기 액정 인가 전압보다 높은 구동 전압 또는 낮은 구동 전압을 출력하는 액정 표시 장치.

청구항 4

제2항에 있어서,

상기 데이터 구동 회로가 입력하는 표시 데이터는, RGB 각 8 비트의 다계조인 것을 특징으로 하는 액정 표시 장치.

청구항 5

제2항에 있어서,

상기 데이터 구동 회로는, MOS 스위치 소자(SW1~SW6)에 의해, 입력 표시 신호에 대해 증폭 회로가 전압 풀로워 회로와 1배 이상의 증폭율의 비반전 증폭 회로로서 동작하도록 상기 주사 회로가 1주사 라인을 선택하는 수평 기간에서 전환을 제어하는 프리차지 제어 회로(423, 424)와, 상기 프리차지 제어 회로에 의해 상기 전압 풀로워 회로와 상기 비반전 증폭 회로를 전환하는 출력 증폭기 회로를 포함하는 액정 표시 장치.

청구항 6

제5항에 있어서,

상기 액정 표시 장치는, 외부로부터 공급되는 표시 신호군을 입력하는 액정 컨트롤러(202)를 포함하고.

상기 데이터 구동 회로는, 상기 액정 컨트롤러에 접속되고, 상기 액정 컨트롤러로부터 수평 동기 신호를 입력하고, 상기 출력 증폭기의 비반전 증폭 회로의 프리차지 타이밍 신호를 출력하는 타이밍 제어 회로(219)를 포함하는 액정 표시 장치.

청구항 7

제6항에 있어서,

상기 데이터 구동 회로는, 행 방향으로 인접하는 도트의 단자의 극성을 상호 반전시키는 액정 표시 장치.

청구항 8

표시 데이터에 대응하는 액정 인가 전압을 액정 패널에 인가하는 데이터 구동 회로(203)에 있어서, 상기 데이터 구동 회로는, 표시 데이터에 대응하는 소정 액정 인가 전압과, 교류 극성이 점극성인 경우에 상기 액정 인가 전압보다 높은 구동 전압과, 교류 극성이 부극성인 경우에 상기 액정 인가 전압보다 낮은 구동 전압을 전환하여 출력하는 출력 증폭기 회로(231)를 포함하는 액정 구동 회로(203).

청구항 9

제8항에 있어서,

상기 출력 증폭기가, 교류 극성이 점극성인 경우에 상기 액정 인가 전압보다 높은 구동 전압과 표시 데이터에 대응하는 액정 인가 전압을, 교류 극성이 부극성인 경우에 상기 액정 인가 전압보다 낮은 구동 전압과 표시 데이터에 대응하는 액정 인가 전압을 출력하는 조건은, 표시 데이터에 대응하는 액정 인가 전압이 기준 전압과의 전위차가 일정치 이내인지의 여부에 따라 판단하고, 일정치 이내인 경우에는 상기 표시 데이터에 대응하는 액정 인가 전압을 출력하고, 일정치를 넘는 경우에는 상기 액정 인가 전압보다 높은 구동 전압 혹은 낮은 구동 전압을 출력하는 액정 구동 회로.

청구항 10

제8항에 있어서,

상기 데이터 구동 회로가 입력하는 표시 데이터는, RGB 각 8비트의 다계조인 액정 구동 회로.

청구항 11

제8항에 있어서,

상기 데이터 구동 회로는, 교류 극성이 점극성인 경우에 상기 액정 인가 전압보다 높은 구동 전압을, 교류 극성이 부극성인 경우에 상기 액정 인가 전압보다 낮은 구동 전압을 출력하는 조건을 표시 데이터의 값에 따라 전환하는 제어를 행하는 프리차지 제어 회로를 포함하는 액정 구동 회로.

청구항 12

제8항에 있어서.

상기 충격 증폭기 회로는, 상기 프리차지 제어 회로의 제어에 의해 MOS 스위치 소자에 의해, 전입 풀로워 회로와 1배 이상의 증폭율의 비반전 증폭 회로를 전환하는 액정 구동 회로.

청구항 13

제8항에 있어서.

상기 데이터 회로는, 외부로부터 공급되는 표시 신호군을 입력하는 액정 컨트롤러에 접속되고, 상기 액정 컨트롤러로부터 수평 동기 신호를 입력하고, 상기 충격 증폭기의 비반전 증폭 회로의 프리차지 타이밍 신호를 출력하는 타이밍 제어 회로를 포함하는 것을 특징으로 하는 액정 구동 회로.

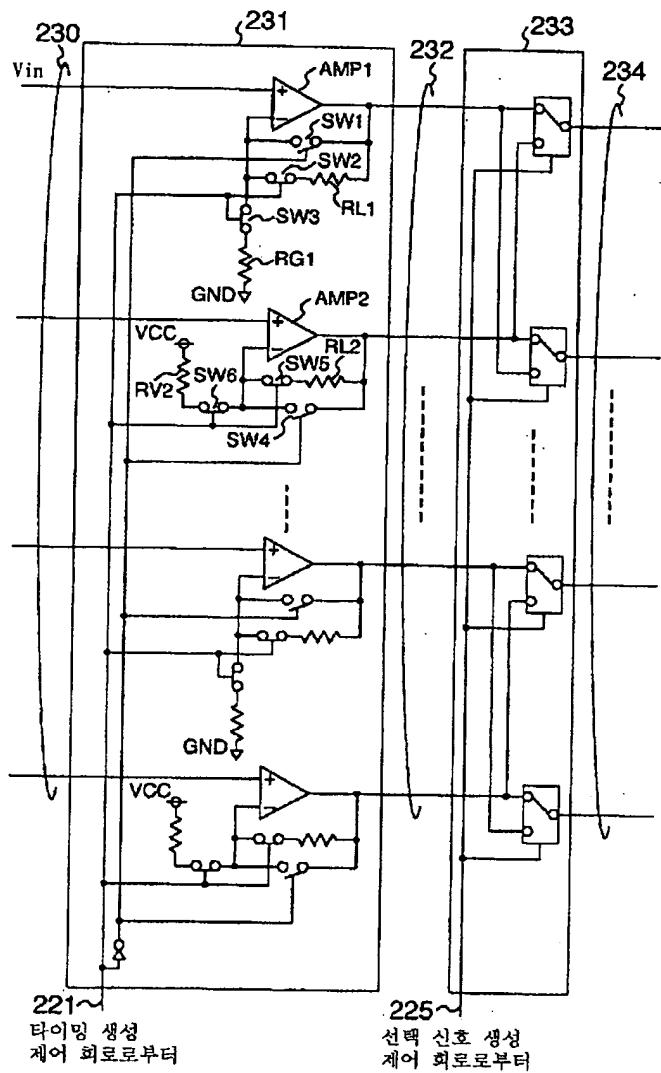
청구항 14

제13항에 있어서.

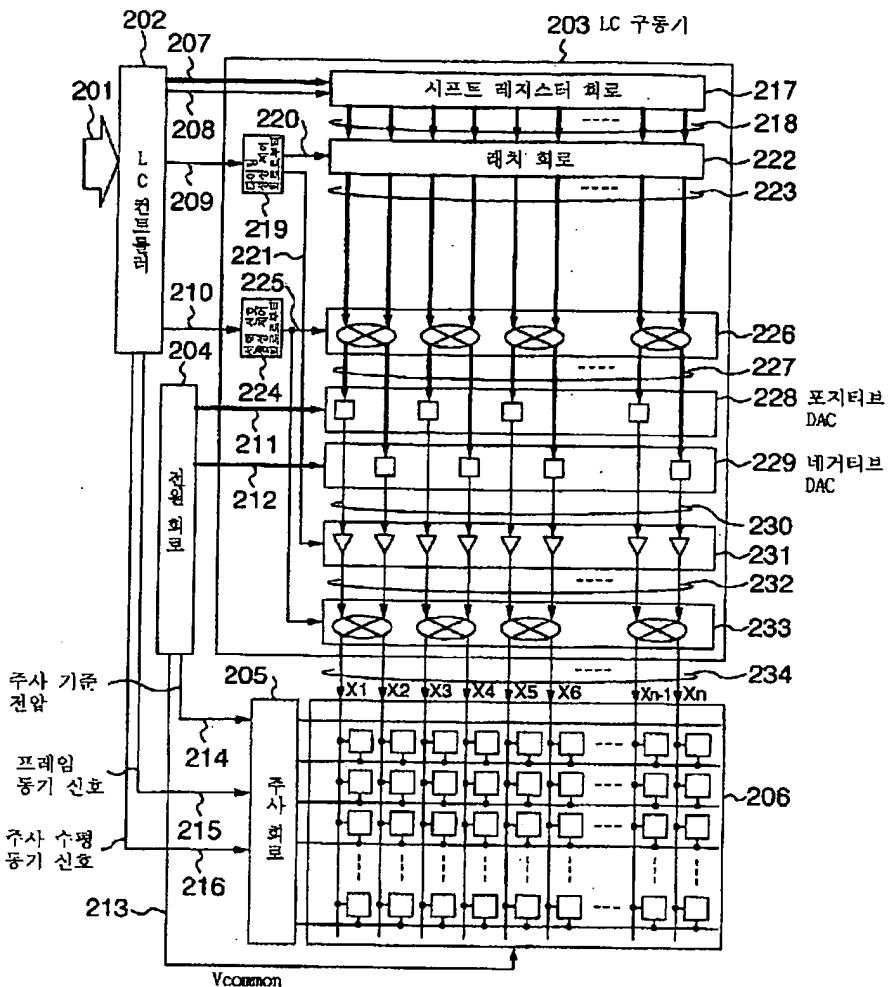
상기 데이터 구동 회로는, 행 방향으로 인접하는 도트의 단자의 극성을 상호 반전시키는 액정 구동 회로.

도면

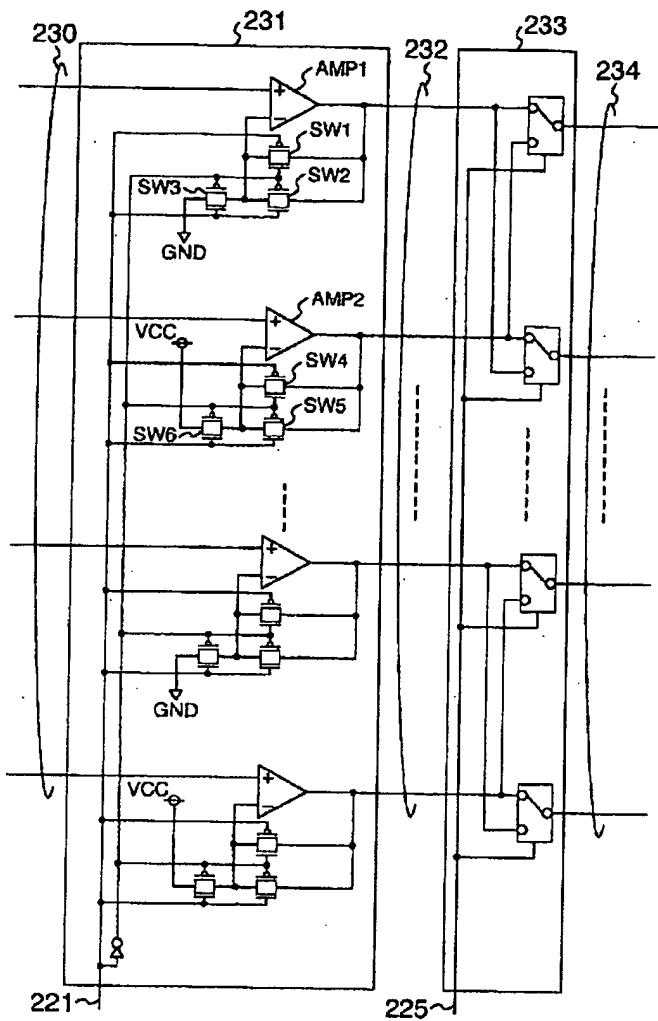
도면1



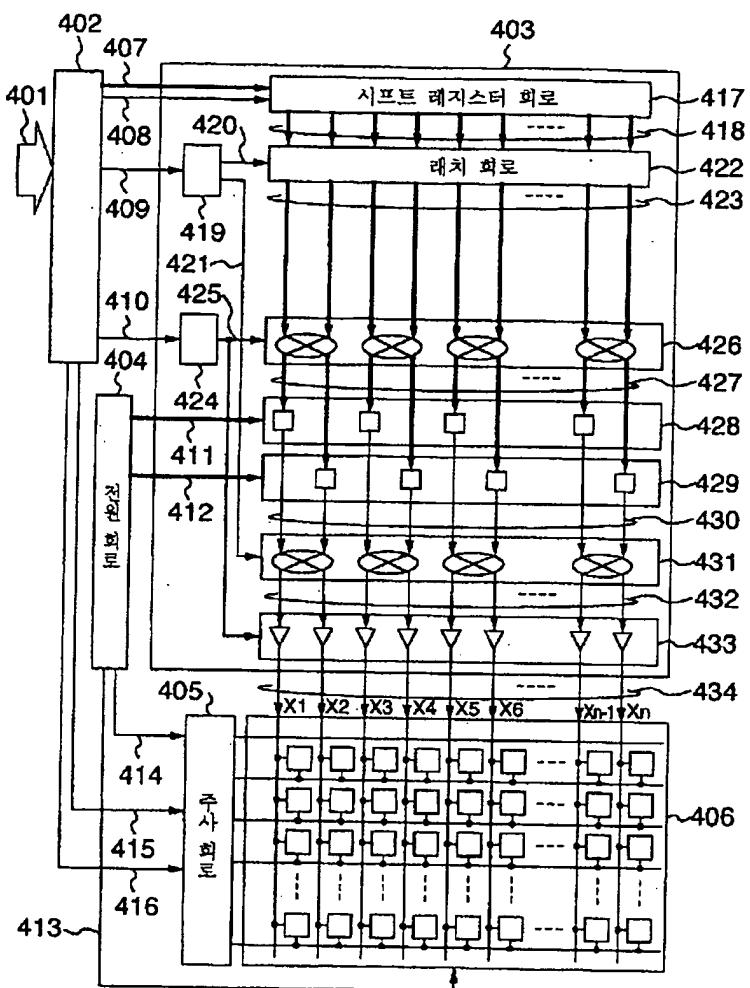
도면2



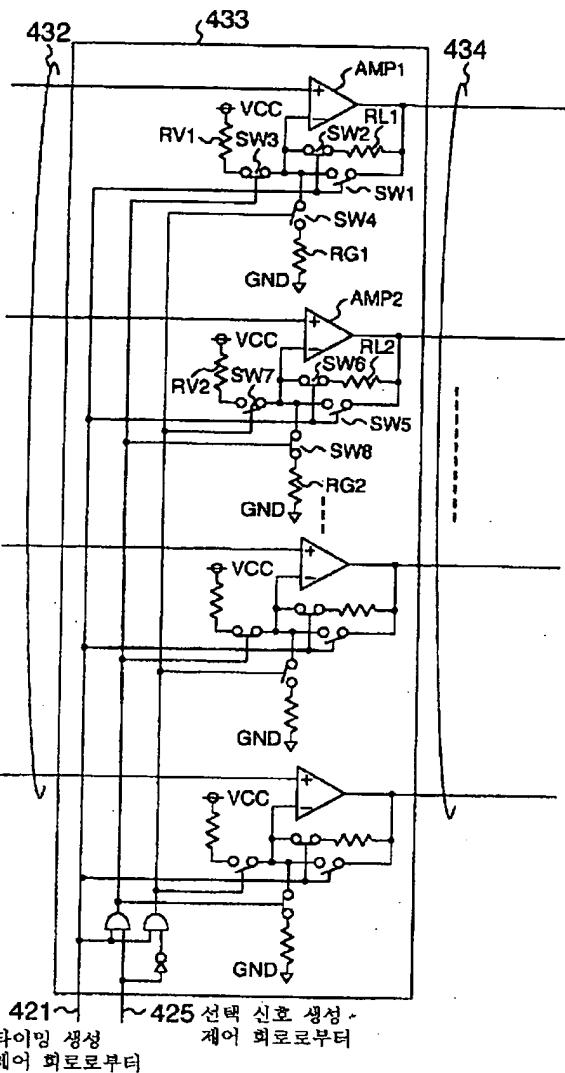
도면3



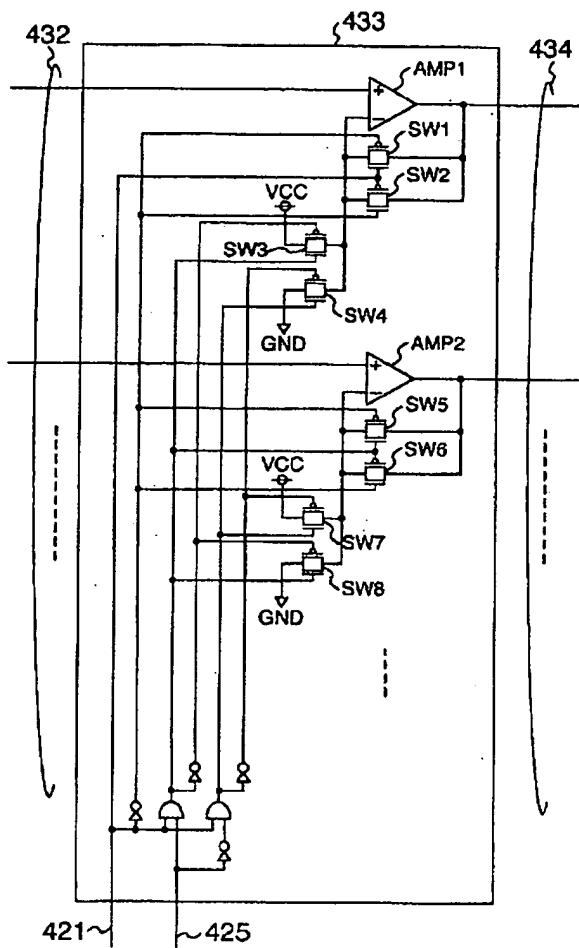
도면4



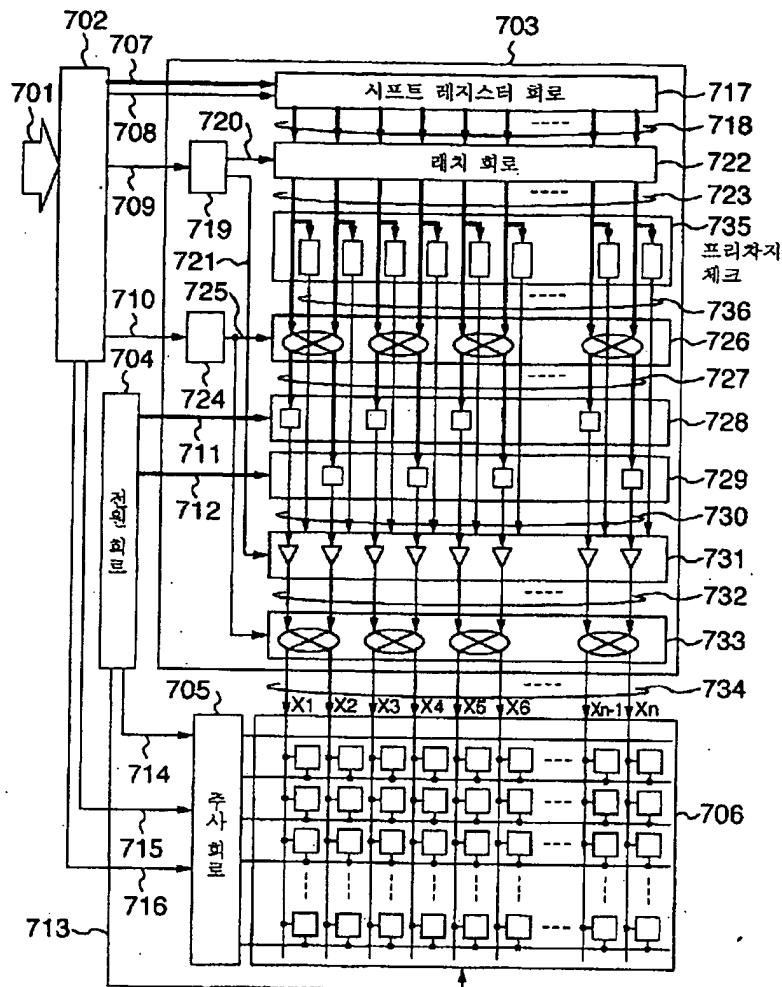
도면5



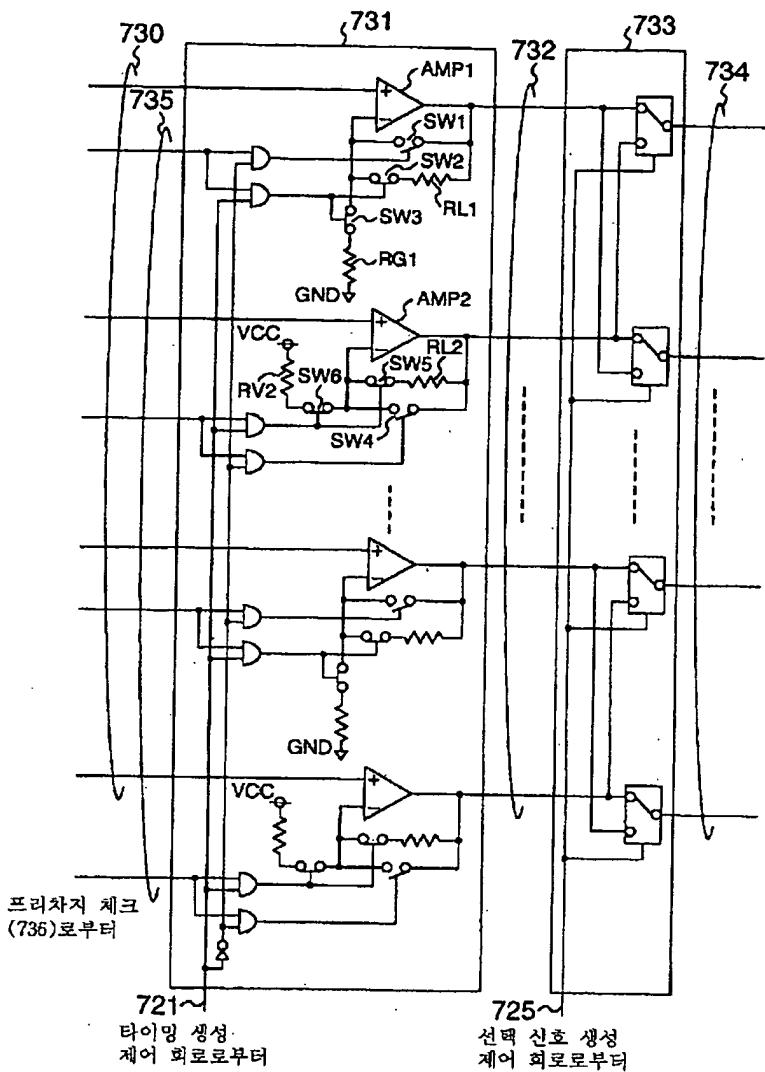
도면6



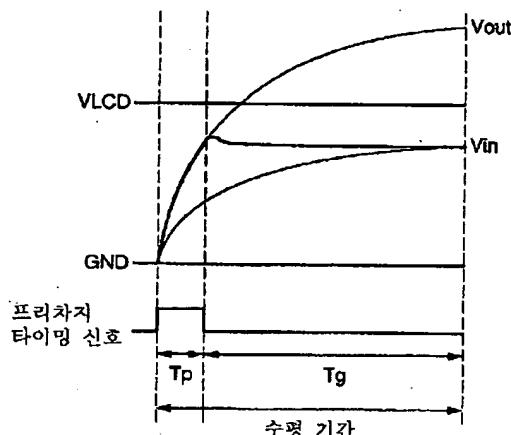
도면7



도면8

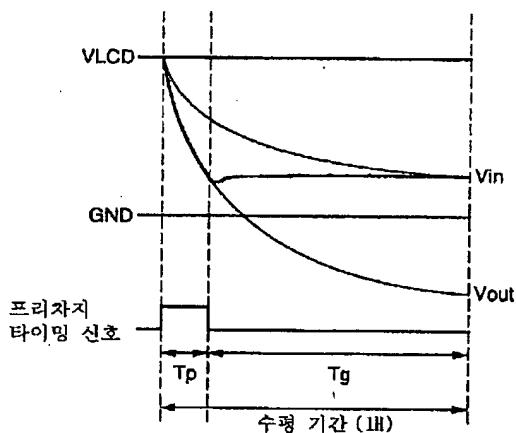


도면9



T_p : 프리차지 기간
 T_g : 계조 전압 기입 기간

도면10



T_p : 프리차지 기간
 T_g : 계조 전압 기입 기간

도면11

